

Jpn. Pat. Appln. KOKAI Publication H11-331124

SP Number : B0002P0676

(English Documents Translated by Translation Software)

PATENT ABSTRACTS OF JAPAN

11-331124

(11)Publication number :

30.11.1999

(43)Date of publication of application :

(51)Int.Cl.

H04J 13/04

(21)Application number : **10-145185**

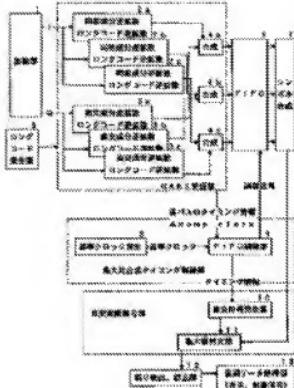
(71)Applicant : **MATSUSHITA ELECTRIC
IND CO LTD**

(22)Date of filing :

12.05.1998

(72)Inventor : **HONDA SHOICHIRO**

(54) CDMA SYSTEM COMMUNICATION EQUIPMENT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide code division multiple access(CDMA) system communication equipment, capable of synthesizing delay paths over several symbol cycles, with simple configuration without phase deviation.

SOLUTION: This equipment is provided with RAKE reception parts 2a-2c, 3a-3c and 4a-4c for outputting a reception symbol for each path by performing inverse spreading processing to signals received through a multipath, a symbol synthesizing part 7 for combining the reception symbols of the respective paths, and orthogonal modulation decoding parts 10 and 11 for

decoding the combined symbol. Such equipment is provided with plural buffers 6 for storing the reception symbol for each path outputted from the RAKE reception parts and buffer control parts 8 and 9 for controlling the write and read addresses of the respective buffers, and based on the timing information of inverse spreading processing by each path provided from the RAKE reception parts, this buffer control part designates the read address so as not to deviate the phase between the outputs of the respective buffers. RAKE reception output signals for each path can be combined without deviating the phases.

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A RAKE receiving part which carries out back-diffusion-of-gas processing of the signal received through a multipass, and outputs a reception symbol for every path. In a CDMA system transmitter provided with a symbol synchronizer which compounds a reception symbol of each path, and a quadrature modulation decoding part which decodes a compounded symbol, Two or more buffers outputted to said symbol synchronizer after storing a reception symbol outputted from said RAKE receiving part for every path, A writing address when a reception symbol is stored in said each buffer. It has a buffer control part which controls a reading address when outputting a reception symbol to said symbol synchronizer from said each buffer, A CDMA system transmitter, wherein said buffer control part specifies said reading address that a phase shift during an output of each of said buffer does not arise based on timing information of back-diffusion-of-gas processing for every path obtained from said RAKE receiving part.

[Claim 2]In order that said buffer control part may write a reception symbol to which each path corresponds in said each buffer, In order to specify the same relative address as said writing address and to read a reception symbol to which each path corresponds from said each buffer, The CDMA system transmitter according to claim 1, wherein a reception symbol to which each path corresponds specifies the same relative address already written in as said reading address.

[Claim 3]Each of said buffer comprises a first in first out buffer (FIFO), Two or more 1st counters with the maximum equal to the number of the maximum storing reception symbols of said FIFO in which said buffer control part carries out increment to every [of each path of said RAKE receiving part] output timing (dump clock), A reference clock generating part which outputs a reference clock with a cycle of said reception symbol, Specify a read-out relative address of said FIFO, and the maximum possesses the 2nd counter equal to the number of the maximum storing reception symbols of said FIFO, For said every reference clock, specify an output value of said 1st counter as a writing address, and a reception symbol of each of said path is stored in said each FIFO, The CDMA system transmitter according to claim 1 or 2 specifying a relative reading address of each of said FIFO identically altogether with a value of said 2nd counter.

[Claim 4]A switch with which said buffer control part already chooses and outputs a counter value corresponding to a path out of a counter value of two or more of said 1st counters, A delay device by which said reference clock is delayed by a round term in a counter value outputted from said switch, difference which asks for difference of a counter value outputted from said switch, and an output of said ***** -- with a vessel.

the difference -- the CDMA system transmitter according to claim 3 carrying out increment with a value which possessed the number calculation part of FIFO output SHIBORU which computes the number of output symbols at the time of an output of said FIFO, and in which said number calculation part of FIFO output SHIBORU computed a value of said 2nd counter from an output of a vessel.

[Claim 5]A RAKE receiving part which carries out back-diffusion-of-gas processing of the signal received through a multipass, and outputs a reception symbol for every path. In a CDMA system transmitter provided with a symbol synchronizer which compounds a reception symbol of each path, and a quadrature modulation decoding part which decodes a compounded symbol, An orthogonal code generator by which said quadrature modulation decoding part generates two or more orthogonal codes, A CDMA system transmitter possessing a correlation value calculating part which computes a correlation value of said generated orthogonal code and said compounded symbol, and a decoding means which decodes said symbol based on said orthogonal code in case said correlation value exceeds a threshold value, comparing said correlation value with a threshold value.

[Claim 6]A multiplier with which said correlation value calculating part carries out the multiplication of said orthogonal code and said compounded symbol. Comprise an integrator which integrates a cycle of said orthogonal code with an output of said multiplier, and said decoding means measures an output of said integrator with a threshold value set up accommodative, The CDMA system transmitter according to claim 5 using as decode data a symbol pattern corresponding to a code sequence of an orthogonal code with which an integral value beyond a threshold value was acquired.

[Claim 7]The CDMA system transmitter according to claim 5 or 6, wherein said quadrature modulation decoding part updates said threshold value based on an error detection result in an error correction and a primary detecting element which performs error detection of said decode data, and correction.

[Claim 8]Said quadrature modulation decoding part possesses a counter which computes update timing of said threshold value, If the increment of the value of said counter will be carried out if the increment of said threshold value will be carried out, a value of said counter will be cleared, if an error is detected in said error correction and primary detecting element, and an error is not detected in said error correction and primary detecting element, and a value of the counter is in agreement with a preset value, The CDMA system transmitter according to claim 7 carrying out the decrement of said threshold value, and clearing a value of said counter.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention aims at the improvement in accuracy and the reduction of a throughput in RAKE receiving especially about the code-division-multiplexing (CDMA) transmitter of the spread-spectrum (SS) communication method used for mobile communications etc.

[0002]

[Description of the Prior Art]Code division multiplexing is possible for the SS communication in a mobile telecommunications sector, and since it excels also in noise-proof nature, it is used for a CDMA communication system or wireless LAN communication. The present CDMA communication system is put in practical use in North America or South Korea.

Service is due to be started by two companies of communications also in our country (standardized as TIA/EIA/IS95 or TIA/EIA/IS98).

Hereafter, it is called a North America system. Another CDMA system is due to be

adopted as a third generation mobile communication method (the following, wide band system) even in Japan.

[0003]Although there are a direct spread system and a frequency hopping method in a diffusion system, each system adopted as a CDMA system is a direct spread system now. By using the receiver called a RAKE system, a multipass ingredient can be maximum ratio-compounded and diversity effect can be achieved in the spread spectrum communication system using a direct spread system. The RAKE receiver is shown in US,5,109,390,B, for example.

[0004]If the RAKE receiver of a CDMA system is used, since communication with other base stations is also possible, the moving machine can perform a hand-off in addition to the base station which is communicating now, without a communicative way piece arising (soft hand).

[0005]By the North America system, in order to realize a soft hand, GPS is used and between [all] base stations are synchronized. In a wide band system, it is asynchronous between base stations. Therefore, a North America system can detect the base station for a soft hand easily. In the North America system, the synchronization between base stations is realized by each base station's having a common mark (long code), and driving the coder with a GPS clock.

[0006]The composition of the mobile transmitter (base station) of a North America system is shown in drawing 6. Drawing 6 comprises a transmission section and a receive section. The send data generation part 31 in which a transmission section generates send data, and the error correcting and detecting code-sized part 32 which codes an error correction to send data, The generator 34 of a long code, and the long code modulation part 33 which carries out the scramble of the error-correcting-code-sized send data by the long code, The synchronizer 35 which compounds the transmission power control signal generation part 36 which generates a transmission power control signal, and a long code modulating signal and a transmission power control signal, The in-phase component direct diffused part 37 which diffuses the compounded signal directly with the spread code (short code) of an in-phase component, After carrying out frequency conversion of the baseband signal which diffused the compounded signal directly with the quadrature component direct diffused part 38 directly diffused with the spread code (short code) of a quadrature component to a radio frequency band and amplifying it further, it has the wireless section 39 sent out from an antenna.

[0007]The wireless section 1 which carries out frequency conversion to a baseband belt after the receive section 2 amplifies the input signal of the radio frequency band received from the antenna, The long code generators 5 which generate the same long

code as a transmission section, and the RAKE receiving part which separates the output of the wireless section 1 for every transmission path, carries out back-diffusion of gas by the short code and a long code, and outputs the reception symbol for every path, The symbol synchronizer 7 which maximum-ratio-compounds the reception symbol of each path, and the quadrature modulation decoding part which decodes the compounded symbol, It has the error detection and the correction decoding section 12 which performs the error detection of data and the processing of correction which were decoded, and the demodulated data treating part 13 which disassembles the decoded received data into a sound and a control signal.

The in-phase component back-diffusion-of-gas parts 2a-2c in which a RAKE receiving part performs back-diffusion-of-gas processing of a short code and a long code to the in-phase component of each path, The quadrature component back-diffusion-of-gas parts 3a-3c which perform back-diffusion-of-gas processing of a short code and a long code to the quadrature component of each path, Provide the synchronizers 4a-4c which compound the in-phase component and quadrature component of each path by which back-diffusion-of-gas processing was carried out, and a quadrature modulation decoding part, The orthogonal code generator 10 which generates the pattern of 64 kinds of orthogonal codes, and a symbol composite signal and an orthogonal code with the greatest correlation are detected, and the maximum judgment part 11 which decodes an orthogonal code is provided by asking for the 6-bit symbol pattern corresponding to the orthogonal code.

[0008]In this transmission section, after the send data generated by the send data generation part 31 is error-correcting-code-ized in the error correcting and detecting code-ized part 32, the scramble of it is carried out using a long code by the long code modulation part 33. After this long code modulating signal was compounded with the transmission power control signal by the synchronizer 35, The signal which was directly diffused using the spread code of an in-phase component in the in-phase component direct diffused part 37, and was directly diffused using the spread code of a quadrature component, and was diffused directly [these] in the quadrature component direct diffused part 38 is multiplexed, and frequency conversion is carried out to a radio frequency band, and it is transmitted from the wireless section 39.

[0009]On the other hand, in a receive section, after the wireless section 1 amplifies an input signal, frequency conversion is carried out to a baseband belt. The output of the wireless section 1 is separated for every transmission path in a RAKE receiving part, Back-diffusion of gas is carried out using the spread code of an in-phase component in

each in-phase component back-diffusion-of-gas parts 2a-2c. Furthermore, back-diffusion of gas is carried out using a long code, and the in-phase component of the back-diffusion-of-gas output (reception symbol) in each path is outputted. In a similar manner, back-diffusion of gas is carried out using the spread code of a quadrature component in each quadrature component back-diffusion-of-gas parts 3a-3c, back-diffusion of gas is further carried out using a long code, and the quadrature component of the reception symbol in each path is outputted. These in-phase components and quadrature components are compounded by the synchronizers 4a-4c, and the reception symbol for every multipass is outputted.

[0010]The symbol synchronizer 7 doubles a phase and maximum-ratio-compounds the reception symbol for every multipass.

[0011]The reception symbol by which the maximum judgment part 11 of the quadrature modulation decoding part was maximum-ratio-compounded, Correlation with 64 kinds of all orthogonal code patterns generated from the orthogonal code generator 10 is searched for, and the maximum is detected and it asks for the 6-bit symbol pattern corresponding to an orthogonal code pattern with the greatest correlation as decode data.

[0012]After the error correction of the decode data outputted from the maximum judgment part 11 is carried out by error detection and the correction decoding section 12, it is disassembled into a sound and a control signal by the demodulated data treating part 13.

[0013]

[Problem to be solved by the invention]In this conventional North America system mobile transmitter, a symbol synchronizer needs to compound the delay path covering a number symbol period without a phase shift by the standard of a North America system. However, since the multipass used for symbol composition for improvement in receiving performance is changed frequently and the receiving timing of each path changes frequently covering a number symbol period, it is difficult to compound a delay path without a phase shift. Therefore, it had SUBJECT that the composition of a symbol synchronizer was complicated.

[0014]Since the quadrature modulation decoding part needed to search for correlation in 64 kinds of all orthogonal code patterns and needed to detect the maximum, it had SUBJECT that a throughput became huge.

[0015]An object of this invention is to provide the CDMA system transmitter which can solve such a conventional problem, and can compound the delay path covering a number symbol period without a phase shift by easy composition, and can reduce the amount of

decoding processings of quadrature modulation substantially.

[0016]

[Means for solving problem] Then, two or more buffers which store the reception symbol outputted from a RAKE receiving part for every path in the CDMA system transmitter of this invention, So that the buffer control part which controls the writing address and reading address of each buffer may be provided and the phase shift of the reception symbol by which this buffer control part is outputted to a symbol synchronizer from each buffer may not arise, He is trying to specify a reading address based on the timing information of the back-diffusion-of-gas processing for every path obtained from a RAKE receiving part.

[0017] Therefore, in a symbol synchronizer, the RAKE receiving output signal for every path can be compounded, without producing a phase shift.

[0018] The orthogonal code generator which generates two or more orthogonal codes in a quadrature modulation decoding part, The correlation value calculating part which computes the correlation value of the generated orthogonal code and the compounded symbol, and the decoding means which decodes a symbol based on an orthogonal code in case a correlation value exceeds a threshold value, comparing this correlation value with a threshold value are established.

[0019] Therefore, since the operation which calculates a correlation value can be suspended until the following symbol inputs if the correlation value exceeding a threshold value is acquired, the amount of quadrature modulation decoding processings is substantially reducible.

[0020]

[Mode for carrying out the invention] The RAKE receiving part which the invention of this invention according to claim 1 carries out back-diffusion-of-gas processing of the signal received through the multipass, and outputs the reception symbol for every path, In a CDMA system transmitter provided with the symbol synchronizer which compounds the reception symbol of each path, and the quadrature modulation decoding part which decodes the compounded symbol, Two or more buffers outputted to a symbol synchronizer after storing the reception symbol outputted from a RAKE receiving part for every path, The buffer control part which controls a writing address when a reception symbol is stored in each buffer, and a reading address when outputting a reception symbol to a symbol synchronizer from each buffer is provided, This buffer control part based on the timing information of the back-diffusion-of-gas processing for every path obtained from a RAKE receiving part, A reading address is specified that the phase shift during the output of each buffer does not arise, and the RAKE receiving

output signal for every path can be compounded, without producing a phase shift.

[0021]In order that said buffer control part may write the reception symbol to which each path corresponds in each buffer, the invention according to claim 2, In order to specify the same relative address as a writing address and to read the reception symbol to which each path corresponds from each buffer, As a reading address, the reception symbol to which each path corresponds specifies the same relative address already written in, Since it reads from the same read-out relative address after the reception symbol to which all the paths correspond reaches a buffer, the RAKE receiving output signal of each path can be compounded without producing a phase shift.

[0022]The invention according to claim 3 constitutes each of said buffer from a first in first out buffer (FIFO), Two or more 1st counters with the maximum equal to the number of the maximum storing reception symbols of FIFO that carry out increment to a buffer control part at every [of each path of a RAKE receiving part] output timing (dump clock), The reference clock generating part which outputs a reference clock with the cycle of a reception symbol, Specify the read-out relative address of FIFO and the maximum forms the 2nd counter equal to the number of the maximum storing reception symbols of FIFO, For every reference clock, specify the output value of the 1st counter as a writing address, and the reception symbol of each path is stored in each FIFO, The relative reading address of each FIFO is altogether specified identically with the value of the 2nd counter, and the composition of the symbol compositing process which compounds the RAKE receiving machine output signal for every path without producing a phase shift can be simplified.

[0023]The switch which the invention according to claim 4 already chooses as said buffer control part the counter value corresponding to a path (reception path which reaches early most) out of the counter value of two or more 1st counters, and is outputted, The delay device by which a reference clock is delayed by a round term in the counter value outputted from the switch, the difference which asks for the difference of the counter value outputted from the switch, and the output of ***** -- with a vessel, the difference -- the number calculation part of FIFO output SHIBORU which computes the number of output symbols at the time of the output of FIFO from the output of a vessel, [provide and] The reception symbol of each path can be compounded without producing a phase shift, even when it is made to carry out the increment of the value of the 2nd counter with the value which the number calculation part of FIFO output SHIBORU computed and the change of the path to choose is performed.

[0024]The RAKE receiving part which the invention according to claim 5 carries out back-diffusion-of-gas processing of the signal received through the multipass, and

outputs the reception symbol for every path, In a CDMA system transmitter provided with the symbol synchronizer which compounds the reception symbol of each path, and the quadrature modulation decoding part which decodes the compounded symbol, The correlation value calculating part which computes the correlation value of the orthogonal code generator which generates two or more orthogonal codes in a quadrature modulation decoding part, and the generated orthogonal code and the compounded symbol, If the correlation value which establishes the decoding means which decodes a symbol based on an orthogonal code in case a correlation value exceeds a threshold value, comparing this correlation value with a threshold value, and exceeds a threshold value is acquired, Since the operation which calculates a correlation value can be suspended until the following symbol inputs, the amount of quadrature modulation decoding processings is reducible.

[0025]The multiplier with which the invention according to claim 6 carries out the multiplication of an orthogonal code and the compounded symbol to said correlation value calculating part, Form the integrator which integrates the cycle of an orthogonal code with the output of a multiplier, and a decoding means measures the output of an integrator with the threshold value set up accommodative, If the integral value which is made to use the symbol pattern corresponding to the code sequence of the orthogonal code with which the integral value beyond a threshold value was acquired as decode data, and exceeds a threshold value is acquired, Since operation of a multiplier and an integrator can be suspended until the following symbol inputs, the amount of quadrature modulation decoding processings is reducible with easy composition.

[0026]Said quadrature modulation decoding part updates a threshold value based on the error detection result in the error correction and primary detecting element which performs error detection of decode data, and correction, and the invention according to claim 7 can set the threshold value for reducing an orthogonal code recovery throughput as the always optimal value.

[0027]The invention according to claim 8 forms the counter which computes the update timing of a threshold value in said quadrature modulation decoding part, If the increment of the value of a counter will be carried out if the increment of the threshold value will be carried out, the value of a counter will be cleared, if an error is detected in an error correction and a primary detecting element, and an error is not detected in an error correction and a primary detecting element, and the value of the counter is in agreement with a preset value, The decrement of the threshold value is carried out, the value of a counter is cleared, and a threshold value can be set as the always optimal value.

[0028]Hereafter, an embodiment of the invention is described using drawing 5 from drawing 1.

[0029](A 1st embodiment) The CDMA system transmitter of a 1st embodiment can compound the delay path covering a number symbol period without a phase shift in the receive section.

[0030]The wireless section 1 which carries out frequency conversion to a baseband belt after amplifying the input signal of the radio frequency band received from the antenna, as this receive section shows drawing 1. The long code generators 5 which generate a long code, and the RAKE receiving part which separates the output of the wireless section 1 for every transmission path, carries out back-diffusion of gas by the short code and a long code, and outputs the reception symbol for every path. The buffer (FIFO) 6 which stores the RAKE output (reception symbol) for every path. The maximum ratio composition timing control section which controls the writing and reading address of FIFO6, The symbol synchronizer 7 which compounds the reception symbol of each path read from FIFO6. The quadrature modulation decoding part which chooses and decodes the code sequence which has the greatest correlation to the compounded reception symbol. The error detection and the correction decoding section 12 which performs the error detection of data and the processing of correction which were decoded. The in-phase component back-diffusion-of-gas parts 2a-2c which are equipped with the demodulated data treating part 13 which disassembles the decoded received data into a sound and a control signal and in which a RAKE receiving part performs back-diffusion-of-gas processing of a short code and a long code to the in-phase component of each path. The quadrature component back-diffusion-of-gas parts 3a-3c which perform back-diffusion-of-gas processing of a short code and a long code to the quadrature component of each path. Provide the synchronizers 4a-4c which compound the in-phase component and quadrature component of each path by which back-diffusion-of-gas processing was carried out, and the maximum ratio composition timing control section. The reference clock generating part 8 which runs by itself with the cycle of a reception symbol and outputs a reference clock. The FIFO control section 9 which computes the writing and reading address of FIFO6 based on the timing information of the back-diffusion of gas of each path obtained from the RAKE receiving part is provided. The orthogonal code generator 10 by which a quadrature modulation decoding part generates the pattern of 64 kinds of orthogonal codes synchronizing with the back-diffusion-of-gas timing in a RAKE receiving part. A symbol composite signal and an orthogonal code with the greatest correlation are detected, and the maximum judgment part 11 which decodes the 6-bit symbol pattern corresponding to the

orthogonal code is provided.

[0031]the wireless section 1 of this receive section comprised an antenna, a local oscillator, a filter, an amplifier, and a frequency conversion part, and amplified the input signal of the radio frequency band -- after frequency conversion is carried out and a baseband signal is reproduced.

[0032]A RAKE receiving part separates this baseband signal for every transmission path, and are each in-phase component back-diffusion-of-gas parts 2a-2c and the quadrature component back-diffusion-of-gas parts 3a-3c. Back-diffusion-of-gas processing by the spread code of an in-phase component or a quadrature component and back-diffusion-of-gas processing by a long code are performed, the in-phase component and quadrature component of each path are compounded by the synchronizers 4a-4c, and the reception symbol for every multipass is outputted.

[0033]FIFO6 has two or more FIFO which stores the reception symbol of each path, and each FIFO has the writing for every path, and a relative address of read-out.

[0034]The relative address of this writing and read-out, It is controlled by the FIFO control section 9 of the maximum ratio composition timing control section, For example, when the reception symbol of the path 1 is written in when each number of FIFO storing is eight symbols, and stored in 4 of a relative address (0-7), the reception symbol to which the path 2 corresponds is stored in 12 when the same addresses, i.e., a relative address, are (8-15). The FIFO control section 9 writes in with the writing of FIFO6, and performs renewal of a relative address in the back-diffusion-of-gas timing of each path for every path based on the timing information of each path brought about from a RAKE receiving part.

[0035]On the other hand, read-out from FIFO6 is performed from the same address of each FIFO. Therefore, when reading the reception symbol stored in 4 of a relative address (0-7) about the path 1, the reception symbol stored in 12 of a relative address (8-15) is read about the path 2. However, since the timing by which the reception symbol of each path is written in FIFO changes with each paths, even if the reception symbol is stored in 4 of a relative address (0-7), the corresponding reception symbol is not necessarily stored in 12 of a relative address (8-15).

[0036]Then, the following processings are performed in order that the reception symbol to which each path corresponds may ask for the address already stored in each FIFO.

[0037]With the cycle of the reference clock which the reference clock generating part 8 generates, back-diffusion-of-gas timing computes the maximum back-diffusion-of-gas timing difference of the earliest path (already path) and other paths, The same FIFO relative reading address of each path is computed by already deducting the value from

the FIFO write-in relative address of a path (however, in the case of number of storing 8 symbol, a read-out relative address has offset of 8 for every path).

[0038]Even when there is a differential delay of a path covering a number symbol by carrying out like this, A reception symbol can be read from a read-out relative address common to each path after attainment of all the paths, and the reception symbol between each path can be compounded in the symbol synchronizer 7, without producing a phase shift.

[0039]Like conventional equipment, the reception symbol maximum ratio compounded by the symbol synchronizer 7 is decoded by a quadrature modulation decoding part, and after an error correction is carried out by error detection and the correction decoding section 12, it is decomposed into a sound and a control signal by the demodulated data treating part 13.

[0040](A 2nd embodiment) By a 2nd embodiment, even when the change of a path occurs, the writing in the maximum ratio composition timing control section which can compound the data of each path without being accompanied by a phase shift, and the control method of a reading address are explained.

[0041]Drawing 2 is a block diagram of the maximum ratio composition timing control section which consists of a FIFO control section and a reference clock generating part. A FIFO control section is provided with the following.

The counters 14a-14c which calculate the output timing (dump clock) from a RAKE receiving part for every path.

The latch 15 who latches a counter output with the reference clock which the reference clock generating part 8 generates.

It is based on the earliest path (already path) information acquired from a RAKE receiving part, and is the changeover switch 17 in latch 15 output which already chooses and outputs the counter value of a path.

The delay device 19 which comprised a flip-flop which already carries out 1 reference clock section delay of the counter value of a path, the difference which comprised a subtraction machine which already takes the difference of the present counter value of a path, and the counter value delayed by 1 reference clock -- with the vessel 20. difference -- with the number calculation part 21 of FIFO symbols which comprised an integrator which outputs only a part to have exceeded when the output of the vessel 20 was integrated and the integrated value exceeded the threshold value. The FIFO read-out address calculation part 18 which comprised a counter which computes the reading address of FIFO by counting the number of outputs from the number calculation part 21 of FIFO symbols.

[0042]The counters 14a-14c of the FIFO control section of this maximum ratio composition timing control section have a modulo value equal to the number of the maximum storing symbols of FIFO16a - 16c (Nf). Nf is set to eight in this example. For example, when the maximum delay difference between each path is made into three symbols, the difference of the counter value of a path and the maximum ** path is already 3 (already > maximum **). Each counters 14a-14c calculate dump clock for every [from RAKE receiving part] path, and output the counter value to the latch 15. The latch 15 latches this counter value with the reference clock which the reference clock generating part 8 generates, and outputs it to each FIFO16a - 16c, and the changeover switch 17.

[0043]In each FIFO16a - 16c, the reception symbol of each path outputted from the RAKE receiving part is written in the relative address corresponding to this counter value. Therefore, when the maximum delay differences between each path are three symbols and the data to the relative addresses 1, 2, 3, and 4 is written in FIFO in which the reception symbol of a path is already written, The reception symbol of the maximum ** path corresponding to this relative address 1 will be begun and written in the relative address 1 of applicable FIFO.

[0044]By the way, since a reference clock and dump clock are asynchronous, the address value at the time of writing may be skip(ed) although increment is regularly carried out in connection with a reference clock. For example, it is a case so that the cycle of dump clock may be changed at the time of the change of a path. Although a reception symbol is also skip(ed) at this time and it is stored, it is satisfactory, even if reception symbol data is skip(ed) since the cycle of back-diffusion of gas is changed, and it is lacking in reliability when the cycle of dump clock is changed.

[0045]the processing for on the other hand computing the reading address of FIFO -- the changeover switch 17, the delay device 19, and difference -- it is carried out through the vessel 20, the number calculation part 21 of FIFO output symbols, and the FIFO reading address calculation part 18.

[0046]the changeover switch 17 was outputted from the RAKE receiving part -- already being based on pass information -- the inside of latch 15 output -- the counter value of a path already being chosen, and it outputting to the delay device 19, and the delay device 19, carrying out 1 reference clock section delay of this counter value -- difference -- outputting to the vessel 20 -- difference -- the vessel 20 already computes the difference of the present counter value of a path, and the counter value delayed by 1 reference clock. this difference -- although the output of the vessel 20 is 1 regularly, the other

value can be taken when the change of a path occurs. the case where dump clock is dump(ed) by two clocks between the cycles of a reference clock -- difference -- the output of the vessel 20 is set to 2.

[0047]the number calculation part 21 of FIFO symbols -- difference -- it integrates with the output of the vessel 20. this integral value was outputted from the RAKE receiving part -- the number of reception symbols of the path will already be counted. The number calculation part 21 of FIFO symbols already makes a threshold value the difference (the number of symbols equivalent to maximum allowable delay time) of the counter value of a path, and the counter value of the maximum ** path, or a larger value than it. When an integral value exceeds a threshold value, only the part to have exceeded is outputted as the number of outputs, and the number of outputs is subtracted from an integral value after an output.

[0048]The FIFO reading address calculation part 18 carries out the increment of the number of counters according to the number of outputs of the number calculation part 21 of FIFO output symbols (this example modulo 8), and outputs it to each FIFO16a - 16c by making a counter value into a relative reading address. And in each FIFO16a - 16c, the reception symbol stored in the relative reading address is outputted to a symbol synchronizer. Therefore, in each paths of all, the read-out relative address of FIFO serves as the same value corresponding to the counter value of the FIFO reading address calculation part 18.

[0049]In an initial state, any longer, this composition is stored the reception symbol of a path and it is not outputted to FIFO until it reaches the threshold value of the number calculation part 21 of FIFO symbols (i.e., until the reception symbol of the maximum ** path arrives). And after the reception symbol to which all the paths correspond is stored in FIFO, it will be read from the same relative reading address.

[0050]In a stationary state, since each reception symbol of a path and the maximum ** path is stored in FIFO for every dumpclock, read-out from the same relative reading address of it already becomes possible in a similar manner.

[0051]When the change of a path occurs and dump clock is dump(ed) by two clocks between the cycles of a reference clock, difference -- the output of the vessel 20 is set to 2, the number of outputs of the number calculation part 21 of FIFO symbols is set to 2, the counter value of the FIFO reading address calculation part 18 will progress two, and the relative reading address of FIFO will progress two.

[0052]In this case, if it reads with the number of storing of FIFO and a number is not in agreement, since the number of storing of FIFO is limited, FIFO will overflow, but such a situation does not occur in the control method of this address.

[0053]At this time, the value outputted from the number calculation part 21 of FIFO symbols shows the number of the reception symbols outputted from each of each FIFO. That is, the number calculation part 21 of FIFO symbols will compute the number of symbols outputted to a symbol synchronizer from each FIFO.

[0054]Thus, in the transmitter of this embodiment, even when there is a differential delay of a path covering a number symbol and also the change of a path occurs, the reception symbol between each path can be compounded without a phase shift.

[0055](A 3rd embodiment) The CDMA system transmitter of a 3rd embodiment can perform decoding processing efficiently.

[0056]This transmitter is provided with the following.

The quadrature modulation decoding part which computes the correlation value of the symbol synthetic value and orthogonal code which were received as shown in drawing 3.
The threshold value calculation part 23 which computes the threshold value for detecting the maximum of this correlation value.

It has the maximum primary detecting element 24 which compares a correlation value with a threshold value, detects the maximum of a correlation value, outputs the decode data corresponding to the orthogonal code series at that time, and decodes a quadrature modulation symbol. The orthogonal code generator 10 by which a quadrature modulation decoding part generates 64 kinds of orthogonal codes synchronizing with the back-diffusion-of-gas timing of a RAKE receiving part.

The correlation value calculating part 22 which comprised a multiplier which computes the correlation value of the generated orthogonal code and the received symbol synthetic value, and an integrator.

Other composition does not have the conventional transmitter and a change.

[0057]The correlation value calculating part 22 of the quadrature modulation decoding part of this transmitter takes correlation with the symbol composite signal inputted as the pattern of the orthogonal code series (in the case of a North America system 64 kinds) generated one by one from the orthogonal code generator 10 from the symbol synchronizer 7. This correlation value is calculated by covering a part for code sequence 1 cycle, and finding the integral, after carrying out the multiplication of the orthogonal code series to a symbol composite signal.

[0058]The correlation value calculating part 22 outputs the calculated correlation value to the maximum primary detecting element 24 one by one, and compares the maximum primary detecting element 24 with the threshold value in which the threshold value calculation part 23 computed the correlation value. If the code sequence exceeding a threshold value is detected, the maximum primary detecting element 24 will change

into the decoding data pattern corresponding to the code sequence, and will restore to a quadrature modulation symbol. Since 6-bit decode data can be uniquely determined from one pattern of the orthogonal code of the cycle 64 in the case of a North America system, if a code sequence is detectable, it can get over easily using a conversion table.

[0059]If decode data is obtained in the maximum primary detecting element 24, the correlation value calculating part 22 will stop correlation value calculation of the remaining patterns.

[0060]The maximum primary detecting element 24 decodes according to the code sequence which brings about the maximum of a correlation value, when the correlation value beyond a threshold value can be detected in no code series patterns (detection overlooking).

[0061]The threshold value calculation part 23 does not set up a threshold value immediately after a receiving start. Therefore, the correlation value calculating part 22 searches for correlation with all the code series patterns and symbol composite signals, and the maximum primary detecting element 24 outputs the maximum to the threshold value calculation part 23 while decoding according to the code sequence which brings about the maximum in it. The threshold value calculation part 23 sets up the average value of the obtained maximum as an initial value of a threshold value.

[0062]By the way, since a correlation value is set to 0 as for an orthogonal code, the threshold value calculation part 23 can prevent detection overlooking by lowering a threshold value gradually. However, when an error is detected by the error detection part 12, a threshold value is raised or it returns to a receiving start state.

[0063]Thus, since it becomes unnecessary to compute a correlation value about the code sequence of all the patterns according to this composition, the recovery throughput of a quadrature modulation symbol is substantially reducible.

[0064](A 4th embodiment) A 4th embodiment explains the composition for setting the threshold value used for detection of a maximum correlation value as an optimum value.

[0065]The orthogonal code generator 22 by which the quadrature modulation decoding part of this transmitter generates an orthogonal code as shown in drawing 4. The multiplier 28 which carries out the multiplication of the generated orthogonal code and the received symbol synthetic value, The integrator 29 which adds the output of the multiplier 20 about one cycle of an orthogonal code, The threshold value control section 27 which sets a threshold value to the counter 26 which detects the update timing of a threshold value accommodative, The correlation value was compared with the threshold value, the maximum of the correlation value was detected, and it has the maximum primary detecting element 25 which outputs the decode data corresponding to the

orthogonal code series at that time, and decodes a quadrature modulation symbol, and the error detection and the correction part 30 which perform the error correction of decode data.

[0066]Operation of this transmitter is explained using the flow chart of [drawing 5](#).

[0067]Step 1: If a symbol synthetic value inputs, the multiplier 28 and the integrator 29 will search for correlation with the pattern of all the orthogonal code series and symbol synthetic value which are generated from the orthogonal code generator 22. It carries out until a symbol synthetic value inputs this n times (getting it blocked and covering n cycle) (what is necessary is just to set n as a suitable value by computer simulation).

[0068]Step 2: The maximum primary detecting element 25 detects the maximum of the correlation value (integral value) in each cycle, and sends to the threshold value control section 27, and the threshold value control section 27 sets up the average value in the n round period of this maximum as a threshold value.

[0069]Step 3: If a symbol synthetic value next inputs, the multiplier 28 and the integrator 29 will search for correlation with the pattern of an orthogonal code series and symbol synthetic value which are generated one by one from the orthogonal code generator 22, and will output an integral value to the maximum primary detecting element 25.

[0070]Step 4: If the maximum primary detecting element 25 detects the integral value (correlation value) exceeding a threshold value as compared with the threshold value to which the threshold value control section 27 set the integral value, the step 6:maximum primary detecting element 25 will output the decode data which the orthogonal code series corresponding to the correlation value expresses. The multiplier 28 and the integrator 29 stop the correlation value calculation to the remaining code series patterns.

[0071]Step 5 : when the integral value (correlation value) exceeding a threshold value cannot be detected in Step 4 (detection overlooking), The multiplier 28 and the integrator 29 calculate an integral value (correlation value) with all the code series patterns, and the step 7:maximum primary detecting element 25 outputs the decode data which the orthogonal code series corresponding to the greatest integral value (correlation value) expresses.

[0072]Step 8: Error detection and the correction part 30 detect the error to the outputted decode data. If an error is detected, the step 13:threshold value control section 27 will clear the counter 26, and only dt will carry out the increment of the threshold value. This is for preventing the erroneous detection by a noise etc.

[0073]Step 9: In Step 8, when an error is not detected, the threshold value control

section 27 carries out the increment of the counter 26.

[0074]Step 10: If it is not below the minimum to which the step 11:threshold value was set when the counter 26 reaches a specified value, only dt will carry out the decrement of the step 12:threshold value. This is for raising the sensitivity of threshold value detection, reducing the number of times of detection overlooking, and reducing a throughput. The counter 26 is cleared.

[0075]In this way, the counter 26 is used in order to determine the control frequency of a threshold value. Various preset values are computable by computer simulation beforehand.

[0076]Thus, in the transmitter of this embodiment, the threshold value for detecting a maximum correlation value can always be set up the optimal.

[0077]

[Effect of the Invention]Even when the differential delay which attains to a number symbol is between each path, as for the CDMA system transmitter of this invention, the RAKE receiving output signal for every path can be compounded, without producing a phase shift, so that clearly from the above explanation.

[0078]The reception symbol of each path can be compounded without producing a phase shift, even when the change of the path to choose is performed in the middle of reception.

[0079]Highly precise decoding processing can be performed by setting the threshold value which can reduce the amount of quadrature modulation decoding processings with easy composition, and is then used as the always optimal value.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The block diagram showing the composition of the receive section of the CDMA system transmitter in a 1st embodiment of this invention,

[Drawing 2]The block diagram of the maximum ratio composition timing control section of a receive section in a 2nd embodiment of this invention,

[Drawing 3]The block diagram showing the composition of the receive section of the CDMA system transmitter in a 3rd embodiment of this invention,

[Drawing 4]The block diagram of the quadrature modulation decoding part of a receive section in a 4th embodiment of this invention,

[Drawing 5]The flow chart showing operation of the quadrature modulation decoding processing of a 4th embodiment,

[Drawing 6]It is a block diagram of the conventional North America CDMA system base station.

[Explanations of letters or numerals]

1 Wireless section

2a·2c In-phase component back-diffusion of gas and long code back-diffusion-of-gas part

3a·3c Quadrature component back-diffusion of gas and long code back-diffusion-of-gas part

4a·4c Synchronizer

5 Long code generators

6 FIFO buffer

7 Symbol synchronizer

8 Reference clock generating part

9 FIFO control section

10 Orthogonal code generating part

11 Maximum judgment part

12 Error detection, a correction part

13 Decode data treating part

14a·14c The 1st counter

- 15 Latch
 - 16a - 16c FIFO
 - 17 changeover switch
 - 18 FIFO reading address calculation part (the 2nd counter)
 - 19 Delay device
 - 20 difference -- a vessel
 - The number calculation part of 21. FIFO output symbols
 - 22 Correlation value calculating part
 - 23 Threshold value calculation part
 - 24 and 25 Maximum primary detecting element
 - 26 Counter
 - 27 Threshold value control section
 - 28 Multiplier
 - 29 Integrator
 - 30 Error detection correction part
 - 31 Send data generation part
 - 32 Error correcting and detecting code-sized part
 - 33 Long code modulation part
 - 34 Long code generating part
 - 35 Sending-signal synchronizer
 - 36 Power-controls bit generation part
 - 37 In-phase component direct diffused part
 - 38 Quadrature component direct diffused part
 - 39 Wireless section
-

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

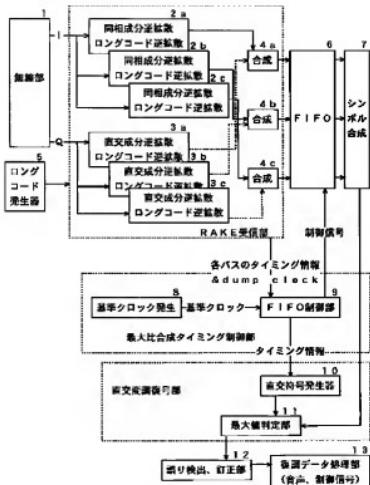
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

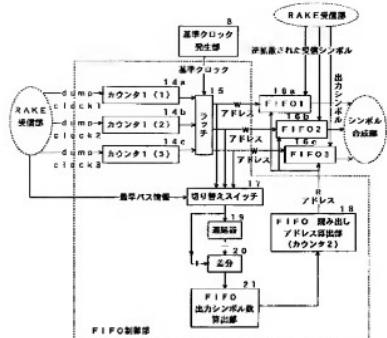
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



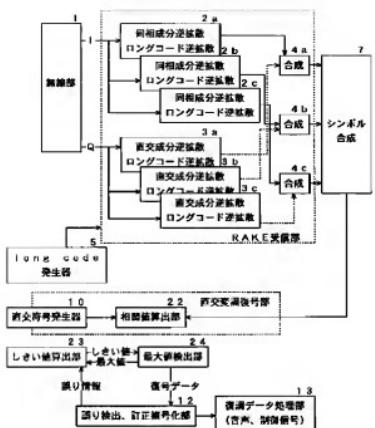
[Drawing 2]



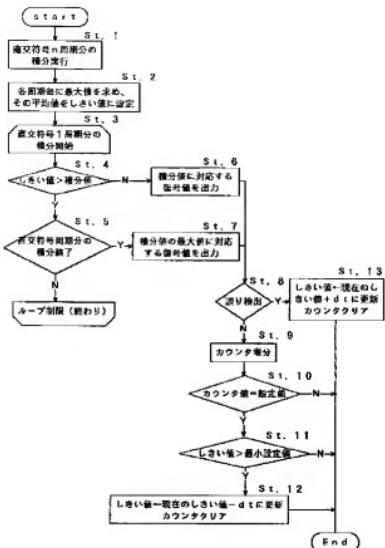
[Drawing 4]



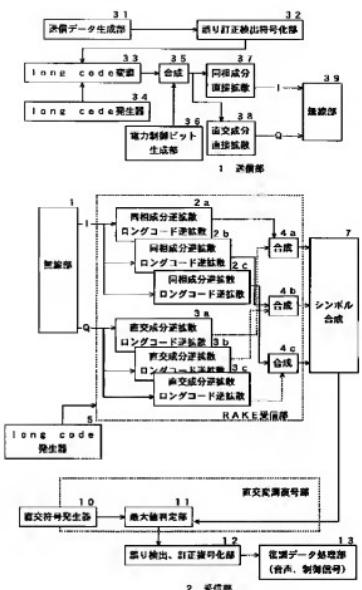
[Drawing 3]



[Drawing 5]



[Drawing 6]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-331124

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H04J 13/04

(21)Application number : 10-145185

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.05.1998

(72)Inventor : HONDA SHOICHIRO

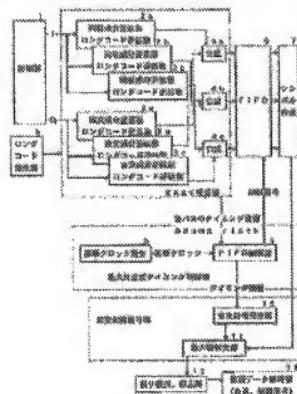
(54) CDMA SYSTEM COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide code division multiple access(CDMA) system communication equipment, capable of synthesizing delay paths over several symbol cycles, with simple configuration without phase deviation.

SOLUTION: This equipment is provided with RAKE reception parts 2a-2c, 3a-3c and 4a-4c for outputting a reception symbol for each path by performing inverse spreading processing to signals received through a multipath, a symbol synthesizing part 7 for combining the reception symbols of the respective paths, and orthogonal modulation decoding parts 10 and 11 for decoding the combined symbol. Such equipment is provided with plural buffers 6 for storing the reception symbol for each path outputted from the RAKE reception parts and buffer control parts 8 and 9 for controlling the write and read addresses of the

respective buffers, and based on the timing information of inverse spreading processing by each path provided from the RAKE reception parts, this buffer control part designates the read address so as not to deviate the phase between the outputs of the respective buffers. RAKE reception output signals for each path can be combined without deviating the phases.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-331124

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁶
H 0 4 J 13/04

識別記号

F I
H 0 4 J 13/00

G

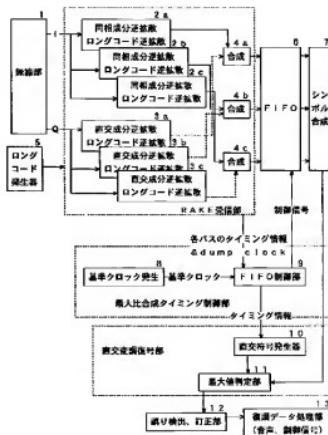
(21)出願番号 特願平10-145185
(22)出願日 平成10年(1998)5月12日(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 本田 尚一郎
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内
(74)代理人 弁理士 白 昌明 (外3名)

(54)【発明の名称】 CDMA方式通信機

(57)【要約】

【課題】 簡単な構成により数シンボル周期にわたる遅延バスを、位相ずれなく合成することができるCDMA方式通信機を提供する。

【解決手段】 マルチバスを通じて受信した信号を逆拡散処理して各バス毎の受信シンボルを出力するRAKE受信部 $2a\sim 2c$, $3a\sim 3c$, $4a\sim 4c$ と、各バスの受信シンボルを合成するシンボル合成功能部 10 , 11 とを備えるCDMA方式通信機において、RAKE受信部から出力される各バス毎の受信シンボルを格納する複数のバッファ 6 と、各バッファの書き込み及び読み出しアドレスとを制御するバッファ制御部 8 , 9 とを設け、このバッファ制御部が、RAKE受信部より得られる各バス毎の逆拡散処理のタイミング情報に基づいて、各バッファの出力間の位相ずれが生じないように読み出しアドレスを指定するようしている。各バス毎のRAKE受信出力信号を、位相ずれを生じること無く、合成することができる。



【特許請求の範囲】

【請求項1】 マルチバスを通過して受信した信号を逆拡散処理して各バス毎の受信シンボルを出力するRAKE受信部と、各バスの受信シンボルを合成するシンボル合成功部と、合成されたシンボルを復号する直交変調復号部とを備えるCDMA方式通信機において、前記RAKE受信部から出力される受信シンボルを各バス毎に格納した後、前記シンボル合成功部に出力する複数のバッファと、

前記各バッファに受信シンボルを格納するときの書き込みアドレスと、前記各バッファから前記シンボル合成功部に受信シンボルを出力するときの読み出しアドレスとを制御するバッファ制御部とを備え、前記バッファ制御部が、前記RAKE受信部より得られる各バス毎の逆拡散処理のタイミング情報に基づいて、前記各バッファの出力間の位相ずれが生じないように前記読み出しアドレスを指定することを特徴とするCDMA方式通信機。

【請求項2】 前記バッファ制御部が、各バスの対応する受信シンボルを前記各バッファに書き込むために、前書き込みアドレスとして同一の相対アドレスを指定し、前記各バッファから各バスの対応する受信シンボルを読み出すために、前記読み出しアドレスとして、各バスの対応する受信シンボルが既に書き込まれている同一の相対アドレスを指定することを特徴とする請求項1に記載のCDMA方式通信機。

【請求項3】 前記バッファのそれそれが、先入れ先出しバッファ(FIFO)から成り、前記バッファ制御部が、前記RAKE受信部の各バスの出力タイミング(dump clock)毎に増分し、その最大値が前記FIFOの最大格納受信シンボル数に等しい複数の第1のカウンタと、前記受信シンボルの周期で基準クロックを出力する基準クロック発生部と、前記FIFOの読み出し対応アドレスを指定し、その最大値が前記FIFOの最大格納受信シンボル数に等しい第2のカウンタとを具備し、前記基準クロック毎に、前記第1のカウンタの出力値を書き込みアドレスに指定して前記各FIFOに前記各バスの受信シンボルを格納し、前記各FIFOの対応読み出しアドレスを、前記第2のカウンタの値によって全て同一に指定することを特徴とする請求項1または2に記載のCDMA方式通信機。

【請求項4】 前記バッファ制御部が、前記複数の第1のカウンタのカウンタ値の中から最早バスに対応するカウンタ値を選択して出力するスイッチと、前記スイッチから出力されたカウンタ値を前記基準クロックの一周期間分遅延する遅延器と、前記スイッチから出力されたカウンタ値と前記遅延器の出力との差分を求める差分器と、その差分器の出力より、前記FIFOの出力時の出力シンボル数を算出するFIFO出力シンボル数算出部とを具備し、前記第2のカウンタの値を前記FIFO出力シンボル数算出部が算出した値によって増分することを特徴と

する請求項3に記載のCDMA方式通信機。

【請求項5】 マルチバスを通過して受信した信号を逆拡散処理して各バス毎の受信シンボルを出力するRAKE受信部と、各バスの受信シンボルを合成するシンボル合成功部と、合成されたシンボルを復号する直交変調復号部とを備えるCDMA方式通信機において、前記直交変調復号部が、

複数の直交符号を発生する直交符号発生器と、生成された前記直交符号と合成された前記シンボルとの

10 相干相位を算出する相干相位算出部と、前記相干相位を閾値と比較し、前記相干相位が閾値を超えるときの前記直交符号に基づいて前記シンボルを復号する復号手段とを具備することを特徴とするCDMA方式通信機。

【請求項6】 前記相干相位算出部が、前記直交符号と合成された前記シンボルとを乗算する乗算器と、前記乗算器の出力を前記直交符号の周期で積分する積分器とからなり、前記復号手段が、前記積分器の出力を、適応的に設定される閾値と比較して、閾値以上の積分値が得られた直交符号の符号系列に対応するシンボルパターンを復号データとすることを特徴とする請求項5に記載のCDMA方式通信機。

【請求項7】 前記直交変調復号部が、前記復号データの誤り検出及び訂正を行なう誤り訂正・検出部での誤り検出結果に基づいて、前記閾値を更新することを特徴とする請求項5または6に記載のCDMA方式通信機。

【請求項8】 前記直交変調復号部が、前記閾値の更新タイミングを算出するカウンタを具備し、前記誤り訂正・検出部で誤りが検出されると前記閾値を増分して前記カウンタの値をクリアし、前記誤り訂正・検出部で誤りが検出されないと前記カウンタの値を増分し、そのカウンタの値が設定値と一致すると、前記閾値を減分して前記カウンタの値をクリアすることを特徴とする請求項7に記載のCDMA方式通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信などに用いられるスペクトル拡散(SS)通信方式の符号多道(CDMA)通信機に関し、特に、RAKE受信における精度の向上と処理量の削減とを図るものである。

【0002】

【従来の技術】移動体通信分野におけるSS通信は、符号分割多道が可能で、また耐ノイズ性にも優れているため、CDMA通信システムや無線LAN通信に使用されている。現在CDMA通信システムは、北米や韓国で実用化されており、また、我が国でも通信二社によりサービスが開始される予定である(TIA/EIA/IS95やTIA/EIA/IS98として標準化されている。以下、北米方式と呼ぶ)。また、別のCDMA方式が日本でも第三世代移動体通信方式(以下、広帯域方

式)として採用される予定である。

【0003】拡散方式には、直接拡散方式と周波数ホッピング方式があるが、現在、CDMA方式として採用されている方式は、いずれも直接拡散方式である。直接拡散方式を用いたスペクトル拡散通信方式では、RAKE方式と呼ばれる受信機を用いることによって、マルチバス成分を最大比合成し、ダイバーシティ効果をあげることができる。RAKE受信機については、例えば、米国特許第5,109,390号に示されている。

【0004】また、CDMA方式のRAKE受信機を用いると、移動機は現在通信している基地局以外に、他の基地局との通信も可能であるため、通信の途切れが生じずにハンドオフを実行することができる(ソフトハンドオフ)。

【0005】北米方式ではソフトハンドオフを実現するために、GPSを用いて基地局間を全て同期させている。広域域方式では基地局間は非同期である。従って、北米方式の方が容易にソフトハンドオフのための基地局を検出できる。北米方式では、各基地局が共通の符号(ロングコード)を持ち、GPSクロックでその符号発生器を駆動することにより、基地局間の同期を実現させている。

【0006】図6に北米方式の移動体通信機(基地局)の構成を示している。図6は、送信部と受信部とで構成されている。送信部は、送信データを生成する送信データ生成部31と、送信データに対して誤り訂正の符号化を行なう誤り訂正検出符号化部32と、ロングコードの発生器34と、誤り訂正符号化された送信データをそのロングコードでスランブルするロングコード変調部33と、送信電力制御信号を生成する送信電力制御信号生成部36と、ロングコード変調信号と送信電力制御信号とを合成する合成功部35と、合成された信号を同相成分の拡散符号(ショートコード)で直接拡散する同相成分直接拡散部37と、合成された信号を直交成分の拡散符号(ショートコード)で直接拡散する直交成分直接拡散部38と、直接拡散されたベースバンド信号を無線周波数帯に周波数変換し、さらに増幅したのちアンテナより送出する無線部39とを備えている。

【0007】また、受信部2は、アンテナより受信した無線周波数帯の受信信号を增幅したのちベースバンド帯に周波数変換する無線部1と、送信部と同じロングコードを発生するロングコード発生器5と、無線部1の出力を伝送バス毎に分離し、ショートコード及びロングコードで逆拡散して各バス毎の受信シンボルを出力するRAKE受信部7と、各バスの受信シンボルを最大比合成するシンボル合成功部7と、合成されたシンボルを復号する直交変調復号部と、復号されたデータの誤り検出及び訂正の処理を行なう誤り検出・訂正復号化部12と、復号された受信データを音声及び制御信号に分解する復調データ処理部13とを備えており、また、RAKE受信部は、各

バスの同相成分に対してショートコード及びロングコードの逆拡散処理を行なう同相成分逆拡散部2a～2cと、各バスの直交成分に対してショートコード及びロングコードの逆拡散処理を行なう直交成分逆拡散部3a～3cと、逆拡散処理された各バスの同相成分及び直交成分を合成する合成功部4a～4cとを具備し、また、直交変調復号部は、64通りの直交符号のパターンを発生する直交符号発生器10と、シンボル合成信号と最大の相間を持つ直交符号を検出し、その直交符号に対応する6ビットのシンボルパターンを求める事により直交符号を復号する最大値判定部11とを具備している。

【0008】この送信部では、送信データ生成部31で生成された送信データが、誤り訂正検出符号化部32で誤り訂正符号化された後、ロングコード変調部33でロングコードを用いてスランブルされる。このロングコード変調信号は、合成功部35で送信電力制御信号と合成された後、同相成分直接拡散部37で同相成分の拡散符号を用いて直接拡散され、また、直交成分直接拡散部38で直交成分の拡散符号を用いて直接拡散され、これらの直接拡散された信号は、多重化され、無線周波数帯に周波数変換されて、無線部39から送信される。

【0009】一方、受信部では、無線部1が受信信号を増幅したのちベースバンド帯に周波数変換する。無線部1の出力は、RAKE受信部において、伝送バス毎に分離され、各同相成分逆拡散部2a～2cで同相成分の拡散符号を用いて逆拡散され、さらにロングコードを用いて逆拡散されて、それぞれのバスでの逆拡散出力(受信シンボル)の同相成分が出力され、また、同様に、各直交成分逆拡散部3a～3cで直交成分の拡散符号を用いて逆拡散され、さらにロングコードを用いて逆拡散されて、それぞれのバスでの受信シンボルの直交成分が出力される。これらの同相成分及び直交成分は、合成功部4a～4cで合成され、各マルチバス毎の受信シンボルが出力される。

【0010】シンボル合成功部7は、各マルチバス毎の受信シンボルを、位相を合わせて最大比合成する。

【0011】直交変調復号部の最大値判定部12は、最大比合成された受信シンボルと、直交符号発生器10から発生される64通りの直交符号パターンの全てとの相間を求めて、その最大値を検出し、最大の相間を持つ直交符号パターンに対応する6ビットのシンボルパターンを復号データとして求める。

【0012】最大値判定部11から出力された復号データは、誤り検出・訂正復号化部12で誤り訂正された後、復調データ処理部13で音声及び制御信号に分解される。

【0013】

【発明が解決しようとする課題】この従来の北米方式移動体通信機では、シンボル合成功部が北米方式の規格により、数シンボル周期にわたる遅延バスを位相せなく合成する必要がある。しかし、受信性能の向上のためにシ

ンボル合成に使用するマルチバスを頻繁に切り替えるのて、各バスの受信タイミングが数シンボル周期にわたり頻繁に変化してしまうため、遅延バスを位相すれなく合成することが困難である。従ってシンボル合成部の構成が複雑化するという課題を有していた。

【0014】また、直交変調復号部は84通りの直交符号パターン全てにおいて相間を求める、その最大値を検出する必要があるので、処理量が膨大になるという課題を有していた。

【0015】本発明は、こうした従来の問題点を解決するものであり、簡単な構成により数シンボル周期にわたる遅延バスを、位相すれなく合成することができ、また、直交変調の復号処理量を大幅に削減できるCDMA方式通信機を提供することを目的としている。

【0016】
【課題を解決するための手段】そこで、本発明のCDMA方式通信機では、RAKE受信部から出力される受信シンボルを各バス毎に格納する複数のバッファと、各バッファの書き込みアドレス及び読み出しアドレスを制御するバッファ制御部とを設け、このバッファ制御部が、各バッファからシンボル合成部に出力される受信シンボルの位相すれが生じないように、RAKE受信部より得られる各バス毎の逆拡散処理のタイミング情報に基づいて、読み出しアドレスを指定するようしている。

【0017】そのため、シンボル合成部では、各バス毎のRAKE受信出力信号を、位相すれを生じること無く、合成することができる。

【0018】また、直交変調復号部に、複数の直交符号を発生する直交符号発生器と、発生された直交符号と合成されたシンボルとの相間値を算出する相間値算出部と、この相間値を閾値と比較し、相間値が閾値を超えるときの直交符号に基づいてシンボルを復号する復号手段とを設けている。

【0019】そのため、閾値を超える相間値が得られるとき、次のシンボルが入力するまで相間値を求める動作を停止することができるため、直交変調復号処理量を大幅に削減することができる。

【0020】
【発明の実施の形態】本発明の請求項1記載の発明は、マルチバスを通じて受信した信号を逆拡散処理して各バス毎の受信シンボルを出力するRAKE受信部と、各バスの受信シンボルを合成するシンボル合成部と、合成されたシンボルを復号する直交変調復号部とを備えるCDMA方式通信機において、RAKE受信部から出力される受信シンボルを各バス毎に格納した後、シンボル合成部に出力する複数のバッファと、各バッファに受信シンボルを格納するときの書き込みアドレスと、各バッファからシンボル合成部に受信シンボルを出力するときの読み出しアドレスとを制御するバッファ制御部とを設け、このバッファ制御部が、RAKE受信部より得られる各

バス毎の逆拡散処理のタイミング情報に基づいて、各バッファの出力間の位相すれが生じないように読み出しアドレスを指定するようにしたものであり、各バス毎のRAKE受信出力信号を、位相すれを生じること無く、合成することができる。

【0021】請求項2に記載の発明は、前記バッファ制御部が、各バスの対応する受信シンボルを各バッファに書き込むために、書き込みアドレスとして同一の相対アドレスを指定し、各バッファから各バスの対応する受信

10シンボルを読み出すために、読み出しアドレスとして、各バスの対応する受信シンボルが既に書き込まれている同一の相対アドレスを指定するようにしたものであり、全てのバスの対応する受信シンボルがバッファに到達した後に、同一の読み出し相対アドレスから読み出すので、各バスのRAKE受信出力信号を、位相すれを生じること無く、合成することができる。

【0022】請求項3に記載の発明は、前記バッファのそれぞれを、先入れ先出しバッファ(FIFO)で構成し、バッファ制御部に、RAKE受信部の各バスの出力

20タイミング(dump clock)毎に増分し、その最大値がFIFOの最大格納受信シンボル数に等しい複数の第1のカウンタと、受信シンボルの周期で基準クロックを出力する基準クロック発生部と、FIFOの読み出し相対アドレスを指定し、その最大値がFIFOの最大格納受信シンボル数に等しい第2のカウンタとを設け、基準クロック毎に、第1のカウンタの出力値を書き込みアドレスに指定して各FIFOに各バスの受信シンボルを格納し、各FIFOの相対読み出しアドレスを、第2のカウンタの値によって全て同一に指定するようしたものので、各バス毎のRAKE受信出力信号を、位相すれを生じること無く合成するシンボル合成処理の構成を簡略化できる。

【0023】請求項4に記載の発明は、前記バッファ制御部に、複数の第1のカウンタのカウンタ値の中から最早バス(最も早く到達する受信バス)に対応するカウンタ値を選択して出力するスイッチと、スイッチから出力されたカウンタ値を基準クロックの一周期分遅延する遅延器と、スイッチから出力されたカウンタ値と遅延器の出力との差分を求める差分器と、その差分器の出力より、FIFOの出力時の出力シンボル数を算出するFIFO出力シンボル算出部とを設け、第2のカウンタの値をFIFO出力シンボル算出部が算出した値によって増分するようにしたものであり、選択するバスの切り替えが行なわれた場合でも、位相すれを生じること無く、各バスの受信シンボルを合成することができる。

【0024】請求項5に記載の発明は、マルチバスを通じて受信した信号を逆拡散処理して各バスの受信シンボルを出力するRAKE受信部と、各バスの受信シンボルを合成するシンボル合成部と、合成されたシンボルを復号する直交変調復号部とを備えるCDMA方式通信機

において、直交変調復号部に、複数の直交符号を発生する直交符号発生器と、発生された直交符号と合成されたシンボルとの相間値を算出する相間値算出部と、この相間値を閾値と比較し、相間値が閾値を超えるときの直交符号に基づいてシンボルを復号する復号手段とを設けたものであり、閾値を超える相間値が得られると、次のシンボルが入力するまで相間値を求める動作を停止することができるため、直交変調復号処理量を削減できる。

【0025】請求項6に記載の発明は、前記相間値算出部に、直交符号と合成されたシンボルとを乗算する乗算器と、乗算器の出力を直交符号の周期で積分する積分器とを設け、復号手段が、積分器の出力を、適忯的に設定される閾値と比較して、閾値以上の積分値が得られた直交符号の符号系列に対応するシンボルパターンを復号データとするようにしたものであり、閾値を超える積分値が得られると、次のシンボルが入力するまで乗算器及び積分器の動作を停止することができるため、簡単な構成で直交変調復号処理量を削減できる。

【0026】請求項7に記載の発明は、前記直交変調復号部が、復号データの誤り検出及び訂正を行なう誤り訂正・検出部での誤り検出結果に基づいて、閾値を更新するようにしたものであり、直交符号復調処理量を削減するための閾値を、常に最適な値に設定できる。

【0027】請求項8に記載の発明は、前記直交変調復号部に、閾値の更新タイミングを算出するカウンタを設け、誤り訂正・検出部で誤りが検出されると閾値を増分してカウンタの値をクリアし、誤り訂正・検出部で誤りが検出されないとカウンタの値を増分し、そのカウンタの値が設定値と一致すると、閾値を減少してカウンタの値をクリアするようにしたものであり、閾値を常に最適な値に設定できる。

【0028】以下、本発明の実施の形態について、図1から図5を用いて説明する。

【0029】(第1の実施形態) 第1の実施形態のCDMA方式通信機は、その受信部において、数シンボル周期にわたる遅延バスを位相ずれなく合成することができる。

【0030】この受信部は、図1に示すように、アンテナより受信した無線周波数帯の受信信号を増幅したちベースバンド帯に周波数変換する無線部1と、ロングコードを発生するロングコード発生器5と、無線部1の出力を伝送バス毎に分離し、ショートコード及びロングコードで逆並散して各バス毎の受信シンボルを出力するRAKE受信部と、各バス毎のRAKE出力(受信シンボル)を格納するバッファ(FIFO)6と、FIFO6の書き込み及び読み出しアドレスを制御する最大比合成功能タイミング制御部と、FIFO6より読み出された各バスの受信シンボルを合成するシンボル合成功部7と、合成された受信シンボルに対して最大の相間を持つ符号系列を選択して復号する直交変調復号部と、復号されたデ

ータの誤り検出及び訂正の処理を行なう誤り検出・訂正復号部12と、復号された受信データを音声及び制御信号に分解する復調データ処理部13とを備えており、また、RAKE受信部は、各バスの同相成分に対してショートコード及びロングコードの逆並散処理を行なう同相成分逆並散部2a～2cと、各バスの直交成分に対してショートコード及びロングコードの逆並散処理を行なう直交成分逆並散部3a～3cと、逆並散処理された各バスの同相成分及び直交成分を合成する合成功部4a～4cとを備し、また、最大比合成功能タイミング制御部は、受信シンボルの周期内自走して基準クロックを出力する基準クロック発生部8と、RAKE受信部から得た各バスの逆並散のタイミング情報に基づいてFIFO6の書き込み及び読み出しアドレスを算出するFIFO制御部9とを備し、また、直交変調復号部は、RAKE受信部での逆並散タイミングと同期して64通りの直交符号のパターンを発生する直交符号発生器10と、シンボル合成信号と最大の相間を持つ直交符号を検出し、その直交符号に対応する6ビットのシンボルパターンを復号する最大判別部11とを備えている。

【0031】この受信部の無線部1は、アンテナ、局部発振器、フィルタ、増幅部、及び周波数変換部で構成され、無線周波数帯の受信信号を増幅したのち周波数変換してベースバンド信号を再生する。

【0032】RAKE受信部は、このベースバンド信号を伝送バス毎に分離し、各同相成分逆並散部2a～2c及び直交成分逆並散部3a～3cで、同相成分または直交成分の並散符号による逆並散処理とロングコードによる逆並散処理を行ない、合成功部4a～4cで各バスの同相成分及び直交成分を合成して、各マルチバス毎の受信シンボルを出力する。

【0033】FIFO6は、各バスの受信シンボルを格納する複数のFIFOを持ち、各FIFOは各バス毎の書き込みと読み出しの対応アドレスをもつ。

【0034】この書き込み及び読み出しの対応アドレスは、最大比合成功能タイミング制御部のFIFO制御部9によって制御され、例えば、各FIFOの格納数が8シンボルの場合、バス1の受信シンボルを書き込み対応アドレス(0～7)の4に格納した場合、バス2の対応する受信シンボルは、同一のアドレス、即ち、対応アドレスが(8～15)のとき、12に格納される。FIFO制御部9は、FIFO6への書き込みと書き込み対応アドレスの更新を、RAKE受信部からもたらされる各バスのタイミング情報に基づいて、各バス毎に各バスの逆並散タイミングで行なう。

【0035】一方、FIFO6からの読み出しは、各FIFOの同一アドレスから行なう。従って、バス1について、対応アドレス(0～7)の4に格納された受信シンボルを読み出すときは、バス2について、対応アドレス(8～15)の12に格納された受信シンボルを読み

出す。しかし、各バスの受信シンボルがFIFOに書き込まれるタイミングは各バスによって違っているから、相対アドレス(0~7)の4に受信シンボルが格納されても、対応する受信シンボルが相対アドレス(8~15)の12に格納されているとは限らない。

【0036】そこで、各バスの対応する受信シンボルが各FIFOに既に格納されているアドレスを求めるため、次のような処理を行なう。

【0037】基準クロック発生部8が発生する基準クロックの周期で、逆並散タイミングが最も早いバス(最早バス)と他のバスとの最大逆並散タイミング差を算出し、最早バスのFIFO書き込み相対アドレスからその値を差し引くことによって各バスの同一のFIFO相対読み出しアドレスを算出する(ただし、読み出し相対アドレスは格納数8シンボルの場合、各バス毎に8のオフセットを持つ)。

【0038】こうすることにより、数シンボルにわたるバスの遅延差がある場合でも、全てのバスの到達後に各バス共通の読み出し相対アドレスから受信シンボルを読み出すことができ、シンボル合成功能7では、位相ずれを生じること無く、各バス間の受信シンボルを合成することが出来る。

【0039】シンボル合成功能7で最大比合成功能された受信シンボルは、従来の装置と同じように、直交変調復号部で復号され、誤り検出・訂正復号化部12で誤り訂正された後、復調データ処理部13で音声及び制御信号に分解される。

【0040】(第2の実施形態)第2の実施形態では、バスの切り替えが発生した場合でも、各バスのデータを位相ずれを伴うことなく合成することができる最大比合成功能タイミング制御部での書き込み及び読み出しアドレスの制御方法について説明する。

【0041】図2は、FIFO制御部と基準クロック発生部による最大比合成功能タイミング制御部のブロック図である。FIFO制御部は、RAKE受信部からの出力タイミング(dump clock)を各バス毎に計数するカウンタ14a~14cと、カウンタ出力を基準クロック発生部8が発生する基準クロックでラッ奇するラッ奇15と、RAKE受信部より得られる最も早いバス(最早バス)情報を基づいて、ラッ奇15出力の中の最早バスのカウンタ値を遷移して出力する切り替えスイッチ17と、最早バスのカウンタ値を1基準クロック区間遷延するフリップフロップで構成された遷延器19と、最早バスの現カウンタ値と1基準クロック分遷延されたカウンタ値との差分を取り引き算器で構成された差分器20、差分器20の出力を構算し、構算値が閾値を超えるとえた分だけを出力する構分器で構成されたFIFOシンボル数算出部21と、FIFOシンボル数算出部21からの出力数をカウントしてFIFOの読み出しアドレスを算出するカウンタで構成されたFIFO読みだしアドレス算出部18とを備

えている。

【0042】この最大比合成功能タイミング制御部のFIFO制御部のカウンタ14a~14cは、FIFO16a~16cの最大格納シンボル数(Nt)に等しいmodulo値を持つ。本例ではNtを8とする。例えば、各バス間の最大遅延差を3シンボルとすると、最早バスと最遅バスとのカウンタ値の差は3(最早~最遅)である。各カウンタ14a~14cは、RAKE受信部からの各バス毎のdump clockを計数し、そのカウンタ値をラッ奇15に出力する。

ラッ奇15は、このカウンタ値を、基準クロック発生部8が発生する基準クロックでラッ奇して、各FIFO16a~16cと、切り替えスイッチ17に出力する。

【0043】各FIFO16a~16cでは、RAKE受信部から出力された各バスの受信シンボルを、このカウンタ値に対応する相対アドレスに書き込む。従って、各バス間の最大遅延差が3シンボルの場合、最早バスの受信シンボルが書き込まれるFIFOに、相対アドレス1、2、3、4までのデータが書き込まれたとき、この相対アドレス1に対応する最遅バスの受信シンボルが、該当するFIFOの相対アドレス1に始めて書き込まれることになる。

【0044】ところで、基準クロックとdump clockとは非同期であるから、書き込み時のアドレス値は、定常的には基準クロックに伴って増分されるが、skipされる場合もある。例えば、バスの切り替え時にdump clockの周期が変動するような場合である。このとき、受信シンボルもskipされて格納されるが、dump clockの周期が変動する時の受信シンボルデータは、逆並散の周期が変動するので信頼性に乏しいため、skipされても問題はない。

【0045】一方、FIFOの読み出しアドレスを算出するための処理は、切り替えスイッチ17、遷延器19、差分器20、FIFO出力シンボル数算出部21及びFIFO読み出しアドレス算出部18を通して行なわれる。

【0046】切り替えスイッチ17は、RAKE受信部から出力された最早バス情報に基づいて、ラッ奇15出力の中の最早バスのカウンタ値を選択して遷延器19に出力し、遷延器19は、このカウンタ値を1基準クロック区間遅延させて差分器20に出力し、差分器20は、最早バスの現カウンタ値と1基準クロック分遷延されたカウンタ値との差分を算出する。この差分器20の出力は定常的には1であるが、バスの切り替えが発生した場合には、それ以外の値をとりうる。例えば、基準クロックの周期の間にdump clockが2クロック分dumpされた場合には、差分器20の出力が2になる。

【0047】FIFOシンボル数算出部21は、差分器20の出力を積分する。この積分値は、RAKE受信部から出力された最早バスの受信シンボル数を数えていることになる。FIFOシンボル数算出部21は、最早バスのカウンタ値と最遅バスのカウンタ値との差(最大許容遅延

時間に相当するシンボル数)、あるいはそれより大きい値を閾値として、積分値が閾値を超えた場合に、その超えた分だけを出力数として出力し、出力後、積分値からその出力数を減算する。

【0048】FIFO読み出しアドレス算出部18は、FIFO出力シンボル教算出部21の出力数に応じてカウンタ数を増分し(この例ではmodulo 8)、カウンタ値を相対読み出しアドレスとして各FIFO16a～16cに出力する。そして、各FIFO16a～16cでは、その相対読み出しアドレスに格納されている受信シンボルをシンボル合成功に送出する。従って、各バス全てにおいて、FIFOの読み出し相対アドレスは、FIFO読み出しアドレス算出部18のカウンタ値に対応する同一の値となる。

【0049】この構成により、初期状態では、最早バスの受信シンボルは、FIFOシンボル教算出部21の閾値に達するまで、即ち、最遅バスの受信シンボルが到着するまで、FIFOに格納されて出力されない。そして、全てのバスの対応する受信シンボルがFIFOに格納された後は、同一の相対読み出しアドレスから読み出されることになる。

【0050】また、定常状態では、最早バスと最遅バスの受信シンボルは、いずれもdump clock毎にFIFOに格納されるので、同様に、同一の相対読み出しアドレスからの読み出しが可能となる。

【0051】また、バスの切り替えが発生し、基準クロックの周期の間にdump clockが2クロック分dumpされた場合には、差分値2の出力が2になり、FIFOシンボル教算出部21の出力数が2になり、FIFO読み出しアドレス算出部18のカウンタ値が2進み、FIFOの相対読み出しアドレスが2進むことになる。

【0052】この場合、FIFOの格納数と読み出し数とが一致しないと、FIFOの格納数は有限だから、FIFOがオーバーフローすることになるが、このアドレスの制御方法では、こうした事態が発生しない。

【0053】このとき、FIFOシンボル教算出部21から出力される値は、各FIFOのそれぞれから出力される受信シンボルの数を示している。つまり、FIFOシンボル教算出部21は、各FIFOからシンボル合成功にに出力されるシンボル数を算出していることになる。

【0054】このように、この実施形態の通信機では、数シンボルにわたるバスの遅延差が有り、更にバスの切り替えが発生した場合でも、位相ずれなく各バス間の受信シンボルを合成することができる。

【0055】(第3の実施形態) 第3の実施形態のCDMA方式通信機は、復号処理を効率的に行なうことができる。

【0056】この通信機は、図3に示すように、受信したシンボル合成功と直交符号との相関値を算出する直交変調復号部と、この相関値の最大値を検出するための閾

値を算出する閾値算出部23と、相関値と閾値とを比較して相関値の最大値を検出し、そのときの直交符号系列に対応する復号データを出力して直交変調シンボルを復号する最大値検出部24とを備えており、直交変調復号部は、RAKE受信部の逆拡散タイミングと同期して8通りの直交符号を発生する直交符号発生器10と、発生された直交符号と受信したシンボル合成功との相関値を算出する乗算器と積分器とで構成された相関値算出部22とを具備している。その他の構成は従来の通信機と変わりがない。

【0057】この通信機の直交変調復号部の相関値算出部22は、直交符号発生器10から順次発生される直交符号系列(北米方式の場合64通り)のパターンと、シンボル合成功7から入力するシンボル合成功信号との相間をとる。この相間値は、直交符号系列をシンボル合成功信号と乗算したのち、符号系列1周期分にわたり積分することによって求められる。

【0058】相関値算出部22は、求めた相間値を、順次、最大値検出部24に出力し、最大値検出部24は、その相間値を、閾値算出部23が算出した閾値と比較する。最大値検出部24は、閾値を超える符号系列を検出すると、その符号系列に対応する復号データパターンに変換して直交変調シンボルを復調する。北米方式の場合、周間64の直交符号の1つのパターンから6ビットの復号データを一義的に決定できるので、符号系列が検出できれば変換表を用いて簡単に復調できる。

【0059】最大値検出部24で復号データが得られると、相関値算出部22は、残りのパターンの相関値算出を停止する。

【0060】また、最大値検出部24は、全ての符号系列パターンにおいて閾値以上の相間値が検出できない場合(検出見逃し)には、相間値の最大値をもたらす符号系列により復号を行なう。

【0061】閾値算出部23は、受信開始直後には閾値を設定しない。そのため、相関値算出部22は、全ての符号系列パターンとシンボル合成功信号との相間を求め、最大値検出部24は、その中の最大値をもたらす符号系列により復号を行なうとともに、その最大値を閾値算出部23に输出する。閾値算出部23は、得られた最大値の平均値を閾値の初期値として設定する。

【0062】ところで、直交符号は相間値が0となるので、閾値算出部23は、閾値を徐々に下げることにより検出見逃しを防ぐ事ができる。但し、誤り検出部12で誤りを検出した場合には、閾値を上げるか、または受信開始状態に戻る。

【0063】このように、この構成によれば、全てのパターンの符号系列について相間値を算出することが不要となるので、直交変調シンボルの復調処理量を大幅に削減することができる。

【0064】(第4の実施形態) 第4の実施形態では、

最大相間値の検出に用いる閾値を、最適値に設定するための構成について説明する。

【0065】この通信機の直交変調復号部は、図4に示すように、直交符号を発生する直交符号発生器22と、発生された直交符号と受信したシンボル合成功値とを乗算する乗算器28と、乗算器20の出力を直交符号の1周期分について加算する積分器29と、閾値の更新タイミングを検出するカウンタ26と、適応的に閾値を設定する閾値制御部27と、相間値と閾値とを比較して相間値の最大値を検出し、そのときの直交符号系列に対応する復号データを出して直交変調シンボルを復号する最大値検出部25と、復号データの誤り訂正を行なう誤り検出・訂正部30とを備えている。

【0066】この通信機の動作を図5のフローチャートを用いて説明する。

【0067】ステップ1：シンボル合成功値が入力すると、乗算器28及び積分器29は、直交符号発生器22から発生される全ての直交符号系列のパターンとシンボル合成功値との相間を求める。これをシンボル合成功値がn回入りするまで（つまり、n周期にわたって）行なう（nは計算機シミュレーションで適当な値に設定すればよい）。

【0068】ステップ2：最大値検出部25は、各周期における相間値（積分値）の最大値を検出して閾値制御部27に送り、閾値制御部27は、この最大値のn周期間ににおける平均値を閾値として設定する。

【0069】ステップ3：次にシンボル合成功値が入力すると、乗算器28及び積分器29は、直交符号発生器22から順次発生される直交符号系列のパターンとシンボル合成功値との相間を求め、積分値を最大値検出部25に出力する。

【0070】ステップ4：最大値検出部25は、その積分値を、閾値制御部27が設定した閾値と比較し、閾値を超える積分値（相間値）を検出する。

ステップ6：最大値検出部25は、その相間値に対応する直交符号系列が表している復号データを出力する。また、乗算器28及び積分器29は、残りの符号系列パターンに対する相間算出を停止する。

【0071】ステップ5：ステップ4において、閾値を超える積分値（相間値）が検出できないとき（検出見逃し）は、乗算器28及び積分器29は、全ての符号系列パターンとの積分値（相間値）を求める。

ステップ7：最大値検出部25は、最大の積分値（相間値）に対応する直交符号系列が表している復号データを出力する。

【0072】ステップ8：誤り検出・訂正部30は、出力された復号データに対する誤りを検出する。誤りが検出されると、

ステップ13：閾値制御部27は、カウンタ26をクリアして、閾値をd1だけ増分する。これはノイズ等による誤検出を防ぐためである。

【0073】ステップ9：ステップ8において、誤りが検出されない場合には、閾値制御部27は、カウンタ26を増分する。

【0074】ステップ10：カウンタ26が所定値に達した場合は、

ステップ11：閾値が設定された最小値以下でなければ、ステップ12：閾値をd1だけ減分する。これは閾値検出の感度を高めて検出見逃し回数を削減して処理量を削減するためである。また、カウンタ26をクリアする。

【0075】こうして、カウンタ26を閾値の制御頻度を決定するために使用する。また、各種設定値はあらかじめ計算機シミュレーションにより算出できる。

【0076】このように、この実施形態の通信機では、最大相間値を検出するための閾値を常に最適に設定することができる。

【0077】

【発明の効果】以上の説明から明らかなように、本発明のCDMA方式通信機は、各バス間に散シボルに及ぶ遅延差がある場合でも、各バス毎のRAKE受信出力信号を、位相ずれを生じること無く、合成することができる。

【0078】また、受信途中で、選択するバスの切り替えが行なわれた場合でも、位相ずれを生じること無く、各バスの受信シンボルを合成することができる。

【0079】また、簡単な構成で直交変調復号処理量を削減することができ、また、その時に使用する閾値を常に最適な値に設定することにより、高精度の復号処理を行なうことができる。

【図面の簡単な説明】

30 【図1】本発明の第1の実施形態におけるCDMA方式通信機の受信部の構成を示すブロック図、

【図2】本発明の第2の実施形態における受信部の最大比合成分成タイミング制御部のブロック図、

【図3】本発明の第3の実施形態におけるCDMA方式通信機の受信部の構成を示すブロック図、

【図4】本発明の第4の実施形態における受信部の直交変調復号部のブロック図、

【図5】第4の実施形態の直交変調復号処理の動作を示すフロー図、

40 【図6】従来の北米CDMA方式基地局のブロック図である。

【符号の説明】

1 無線部

2 a～2 c 同相成分逆拡散及びロングコード逆拡散部

3 a～3 c 直交成分逆拡散及びロングコード逆拡散部

4 a～4 c 合成部

5 ロングコード発生器

6 F I F O バッファ

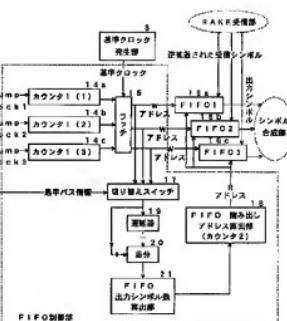
7 シンボル合成功値

50 8 基準クロック発生部

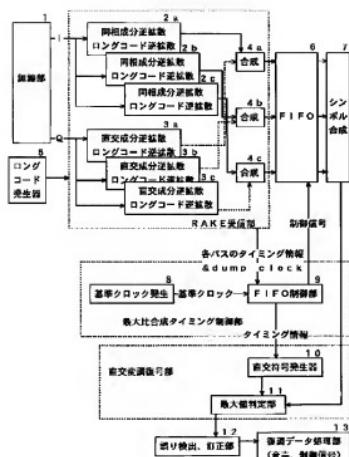
- 15
 9 FIFO制御部
 10 直交符号発生部
 11 最大値判定部
 12 誤り検出、訂正部
 13 復号データ処理部
 14a～14c 第1のカウンタ
 15 ラッチ
 16a～16c FIFO
 17 切り替えスイッチ
 18 FIFO読み出しアドレス算出部（第2のカウント）
 19 遅延器
 20 差分器
 21 FIFO出力シンボル数算出部
 22 相関値算出部
 23 関値算出部

- * 24, 25 最大値検出部
 26 カウンタ
 27 閾値制御部
 28 積算器
 29 積分器
 30 誤り検出訂正部
 31 送信データ生成部
 32 誤り訂正検出符号化部
 33 ロングコード変調部
 10 34 ロングコード発生部
 35 送信信号合成部
 36 電力制御ビット生成部
 37 同相成分直接拡散部
 38 直交成分直接拡散部
 39 無限部

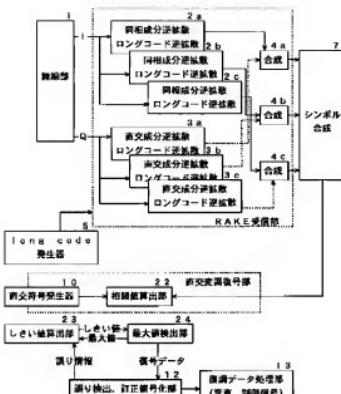
【図2】



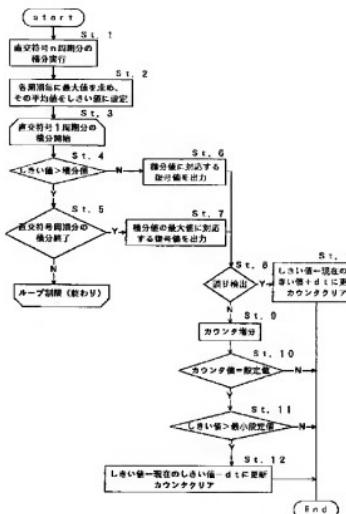
【図4】



【図3】



【図5】



【圖6】

